

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-319643

(43)Date of publication of application : 07.11.2003

(51)Int.Cl.

H02M 3/155

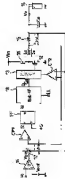
(21)Application number : 2002-122534

(71)Applicant : ROHM CO LTD

(22)Date of filing :

24.04.2002 (72)Inventor : UMEMOTO SEIKI  
TAKEMURA KO

(54) SWITCHING POWER SUPPLY DEVICE



(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce loss under light-load application for the improvement of efficiency by controlling a switching frequency under the light-load application into a frequency which does not become discontinuous in a bust state and is substantially constant.

SOLUTION: A switching power supply device of current mode control generates a pulse signal Q of a duty ratio obtained based on a value corresponding to the difference between an output voltage  $V_o$  and a reference voltage  $V_{ref}$  and a

value corresponding to a current  $I_0$  which passes through a smoothing choke. The switching power supply device is provided with a delay circuit 18. Receiving the pulse signal Q and a light load determining signal LL, the delay circuit 18 outputs the pulse signal Q as a command signal not under the light-load application, and outputs a delayed pulse signal Qd obtained by expanding the time width of the pulse signal as a command signal under the light-load application.

---

## LEGAL STATUS

[Date of request for examination]                      20.02.2003

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]    3636321

[Date of registration]                                      14.01.2005

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The switching circuit section which switches input voltage according to a command signal, and the smoothing choke for carrying out smoothness of the switching output of this switching circuit section, The output capacitor which is formed in the output side of this smoothing choke, and is charged by output voltage, The pulse generating section which generates the pulse signal of a duty ratio based on the value according to the difference of the feedback electrical potential difference and reference voltage according to said output voltage, In response to the pulse signal and light load judging signal of this pulse generating section, when it is not at the light load time, said pulse signal is outputted as said command signal. Switching power supply equipment characterized by having the delay section outputted as said command signal after expanding the time amount width of face of said pulse signal at the time of a light load.

[Claim 2] the value according to the difference of the said pulse generating section's feedback electrical potential difference according to said output voltage, and reference voltage -- in addition, the switching power supply equipment according to claim 1 characterized by generating the pulse signal of a duty ratio based on these values also using the value according to the current which flows to said smoothing choke.

[Claim 3] Said switching circuit section has the transistor switch which is driven according to said command signal and by which the series connection was

carried out. It is that to which said switching output is outputted from the series-connection point. The driver section which drives said transistor switch by which the series connection was carried out based on said command signal which is established between said delay sections and said switching circuit sections, and is outputted from said delay section, Distinguish the polarity of the current which flows to said smoothing choke, and it has the comparator which supplies a back run detecting signal to said driver section. Claim 2, switching power supply equipment of three publications which are characterized by making the transistor switch which passes the back run current of said transistor switches by said back run detecting signal turn off.

[Claim 4] The mutual-conductance amplifier with which the said pulse generating section's feedback electrical potential difference according to said output voltage and said reference voltage are inputted, and amplify the difference of the two inputs, The comparator which compares the electrical potential difference according to the output of this mutual-conductance amplifier with the electrical potential difference according to the current which flows to said smoothing choke, The set signal of a fixed period and the output of said comparator are inputted, and it is set by the set signal in case said comparator output is in a predetermined condition. Claim 2, switching power supply equipment of three publications which a comparator output is reset by change in other condition [ condition / said / predetermined ], and are characterized by having the flip-flop which generates said pulse signal.

[Claim 5] Said light load judging signal is switching power supply equipment according to claim 1 to 4 characterized by being generated based on the value according to the current which flows to said smoothing choke.

[Claim 6] Said light load judging signal is switching power supply equipment according to claim 4 characterized by being generated based on the value according to the output of said mutual-conductance amplifier.

[Claim 7] Amplification of the time amount width of face of said pulse signal in said delay section is switching power supply equipment according to claim 1 to 6

characterized by being fixed time amount.

[Claim 8] Amplification of the time amount width of face of said pulse signal in said delay section is switching power supply equipment according to claim 4 to 6 characterized by being set as the value according to the output of said mutual-conductance amplifier under inverse proportion.

[Claim 9] The switching circuit section which switches input voltage according to a command signal, and the smoothing choke for carrying out smoothness of the switching output of this switching circuit section, It is prepared in the output side of this smoothing choke, and has the output capacitor charged by output voltage. It is switching power supply equipment which outputs predetermined output voltage by controlling said switching circuit section by the pulse signal of the 1st period. At the time of a light load Switching power supply equipment characterized by controlling said switching circuit section using the pulse signal of the 2nd period which thinned out a part of pulse signal of said 1st period.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the switching power supply equipment which reduces the loss at the time of a light load, and improves effectiveness.

[0002]

[Description of the Prior Art] Using the switch (for example, power transistor) connected to the load at a serial or juxtaposition, switching power supply equipment controls and switches the turn-on and turn-off of a switch, in order to control the flow of the power to a load. In order to change into the stable load current the current by which switching control was carried out, the smoothing choke and the capacitor for an output are used.

[0003] The duty cycle of the switch which controls the flow of the power to a load fixes a pulse frequency, and is changed by changing ON or off time amount of each pulse.

[0004] Generally switching power supply equipment is more more efficient than a series power unit. However, generally, effectiveness is the function of the output current, and when driving a light load, it usually decreases with a low-power output current. Generally this degradation originates in the switching loss accompanying actuation of switching power supply equipment etc.

[0005] Then, from the former, in order to reduce the loss at the time of the light load of switching power supply equipment, burst mode control and skip modal control are performed.

[0006] Burst mode control detects that the output current is fully low, continues at the period when the electrical potential difference of an output capacitor can maintain the output voltage controlled substantially, and maintains a switch to an OFF state as shown in JP,06-303766,A. That is, the period which carries out on-off control of the switch, and the period of an OFF state become a letter of a burst. Since switching loss does not generate the period of this OFF state, effectiveness is improved.

[0007] Moreover, skip modal control turns the pulse of fixed duty on and off towards an electrical-potential-difference upper limit from the electrical-potential-

difference minimum, covering the window comparator of predetermined electrical-potential-difference width of face over output voltage, and if it turns to a minimum from an electrical-potential-difference upper limit, output voltage leaves it for falling. From this electrical-potential-difference upper limit, since switching loss does not generate the period of a minimum, effectiveness is improved.

[0008]

[Problem(s) to be Solved by the Invention] However, with the switching power supply equipment which performs burst mode control of these former, since a switching frequency becomes discontinuous, a burst noise will occur. This burst noise has an adverse effect on surrounding electronic equipment, or has the problem of generating a mutual intervention.

[0009] Moreover, with the switching power supply equipment which performs skip modal control, too, since between [ from an electrical-potential-difference minimum ] upper limits is switched, a switching frequency becomes a letter of a burst. moreover -- in addition -- since output voltage is changed -- the ripple voltage -- \*\*\*\* -- it hears -- it becomes. The ripple with this large output voltage is not desirable for a load.

[0010] then, this invention aims at offering the switching power supply equipment which reduces the loss at the time of a light load, and improves effectiveness, without not becoming discontinuous the letter of a burst and enlarging a ripple voltage by controlling the switching frequency at the time of a light load in the low frequency which is about 1 law.

[0011]

[Means for Solving the Problem] The switching circuit section to which the switching power supply equipment of claim 1 switches input voltage according to a command signal, The smoothing choke for carrying out smoothness of the switching output of this switching circuit section, The output capacitor which is formed in the output side of this smoothing choke, and is charged by output voltage, The pulse generating section which generates the pulse signal of a duty ratio based on the value according to the difference of the feedback electrical

potential difference and reference voltage according to said output voltage, When it is not at the light load time, after outputting said pulse signal as said command signal and expanding the time amount width of face of said pulse signal in response to the pulse signal and light load judging signal of this pulse generating section at the time of a light load, it is characterized by having the delay section outputted as said command signal.

[0012] the value according to the difference of a said pulse generating section's corresponding [ the switching power supply equipment of claim 2 / on switching power supply equipment according to claim 1 and ] to said output voltage feedback electrical potential difference, and reference voltage -- in addition, it is characterized by generating the pulse signal of a duty ratio based on these values also using the value according to the current which flows to said smoothing choke.

[0013] The switching power supply equipment of claim 3 is set to claim 1 and the switching power supply equipment of two publications. Said switching circuit section It has the transistor switch which is driven according to said command signal and by which the series connection was carried out. It is that to which said switching output is outputted from the series-connection point. The driver section which drives said transistor switch by which the series connection was carried out based on said command signal which is furthermore established between said delay sections and said switching circuit sections, and is outputted from said delay section, The polarity of the current which flows to said smoothing choke is distinguished, and it has the comparator which supplies a back run detecting signal to said driver section, and is characterized by making the transistor switch which passes the back run current of said transistor switches by said back run detecting signal turn off.

[0014] The switching power supply equipment of claim 4 is set to claim 2 and the switching power supply equipment of three publications. Said pulse generating section The mutual-conductance amplifier which the feedback electrical potential difference according to said output voltage and said reference voltage are



inputted, and amplifies the difference of the two inputs, The comparator which compares the electrical potential difference according to the output of this mutual-conductance amplifier with the electrical potential difference according to the current which flows to said smoothing choke, The set signal of a fixed period and the output of said comparator are inputted, it is set by the set signal in case said comparator output is in a predetermined condition, a comparator output is reset by change in other condition [ condition / said / predetermined ], and it is characterized by having the flip-flop which generates said pulse signal.

[0015] The switching power supply equipment of claim 5 is characterized by generating said light load judging signal based on the value according to the current which flows to said smoothing choke in switching power supply equipment according to claim 1 to 4.

[0016] The switching power supply equipment of claim 6 is characterized by generating said light load judging signal based on the value according to the output of said mutual-conductance amplifier in switching power supply equipment according to claim 4.

[0017] The switching power supply equipment of claim 7 is characterized by amplification of the time amount width of face of said pulse signal in said delay section being fixed time amount in switching power supply equipment according to claim 1 to 6.

[0018] It is characterized by being inversely proportional to the value [ amplification / of the time amount width of face of said pulse signal in said delay section ] corresponding [ the switching power supply equipment of claim 8 / on switching power supply equipment according to claim 1 to 6 and ] to the output of said mutual-conductance amplifier, and being set up.

[0019] The switching circuit section to which the switching power supply equipment of claim 9 switches input voltage according to a command signal, The smoothing choke for carrying out smoothness of the switching output of this switching circuit section, It is prepared in the output side of this smoothing choke, and has the output capacitor charged by output voltage. It is switching power

supply equipment which outputs predetermined output voltage by controlling said switching circuit section by the pulse signal of the 1st period. At the time of a light load It is characterized by controlling said switching circuit section using the pulse signal of the 2nd period which thinned out a part of pulse signal of said 1st period.

[0020]

[Embodiment of the Invention] Hereafter, with reference to a drawing, the gestalt of operation of the switching power supply equipment of this invention is explained.

[0021] Drawing 1 is the whole switching power supply equipment block diagram concerning the gestalt of operation of the 1st of this invention. Moreover, drawing 2 is the block diagram of a delay circuit 18, and drawing 3 is a timing chart for the explanation of operation. Moreover, drawing 4 and drawing 5 are the timing charts for explaining actuation of the switching power supply equipment of drawing 1 .

[0022] In drawing 1 , this power unit is constituted as switching power supply equipment of current modal control. The N-channel MOS transistor (henceforth, N type transistor) 11 and the N type transistor 12 are connected to a serial between the power source of input voltage  $V_{in}$ , and a gland, and the switching circuit is constituted. A driving pulse is supplied to this switching circuit from a driver 13, and the N type transistors 11 and 12 are usually turned on and off complementary. A smoothing choke  $L_o$  carries out smoothness of the output of a switching circuit, and the output capacitor  $C_o$  performs the smoothing effect with a smoothing choke  $L_o$ . The output voltage  $V_o$  with which the pressure of input voltage  $V_{in}$  was lowered by the output capacitor  $C_o$  according to the width of face of a driving pulse charges. Electric power is supplied to this output voltage  $V_o$  by the load 14. Resistance 15 detects the current  $I_o$  which flows to a smoothing choke  $L_o$ , and takes out the voltage drop according to the current as a detection electrical potential difference  $V_{rd}$ .

[0023] Output voltage  $V_o$  and reference voltage  $V_{ref}$  are inputted, and the

mutual-conductance amplifier (henceforth, gm amplifier) 16 generates the current according to the difference. The source 17 of gm amplifier output generates the gm output voltage  $V_{gm}$  according to the output current of the gm amplifier 16. A comparator CP 1 compares the gm output voltage  $V_{gm}$  with the detection electrical potential difference  $V_{rd}$ , and generates the comparison output.

[0024] The set signal S of a fixed period is inputted into the set terminal s, and, as for Flip-flop FF, the comparison output of a comparator CP 1 is inputted into the reset terminal r as reset-signal R. In this flip-flop FF, reset is performed in falling of reset-signal R, and a set is falling of the set signal S, and when reset-signal R has started, it is performed. Corresponding to the set and reset, an output Q is outputted as a pulse signal.

[0025] Pulse signal Q from Flip-flop FF is inputted, and according to the existence of the light load judging signal LL, a delay circuit 18 outputs pulse signal Q by width of face as it is, or outputs the delay pulse signal Qd which only predetermined time was delayed and expanded width of face. In being a light load, it outputs the delay pulse signal Qd, and when that is not right, pulse signal Q as it is is outputted. The output of this delay circuit 18 serves as a command signal to a driver 13.

[0026] An example of this delay circuit 18 is shown in the example of a configuration of drawing 2, and the timing chart of drawing 3. By drawing 2, the series connection of the P type transistor 21, resistance 23, and the N type transistor 22 is carried out. A capacitor 24 is connected to juxtaposition at this N type transistor 22, and the threshold judging of the charge electrical potential difference of this capacitor 24 is carried out with the input threshold  $V_{th}$  of an inverter 25. The output of this inverter 25 and the AND of the light load judging signal LL are taken in AND circuit 26, and further, the OR of the output of this AND circuit 26 and pulse signal Q is taken by OR circuit 27, and serves as a command signal to a driver 13.

[0027] Pulse signal Q is impressed to the gate of the P-channel MOS transistor (henceforth, P type TORANJISU) 21 and the N type transistor 22. If this pulse

signal Q is set to L level from H level, a capacitor 24 will be charged with supply voltage Vdd. The charge electrical potential difference rises with the time constant according to the value of resistance 23 and a capacitor 24 like drawing 3. An inverter 25 is reversed when the charge electrical potential difference reaches the input threshold  $V_{th}$  of an inverter 25. Thereby, pulse signal Q is delayed and the delay pulse signal Qd to which only time amount  $T_d$  expanded the width of face is obtained by the output of an inverter 25. Therefore, according to the existence of the light load judging signal LL, either pulse signal Q or the delay pulse signal Qd is outputted.

[0028] Moreover, it returns to drawing 1, and the detection electrical potential difference  $V_{rd}$  proportional to the current  $I_o$  which flows to a smoothing choke  $L_o$  is inputted, and a comparator CP 2 distinguishes the polarity (namely, the direction of a current) of Current  $I_o$ , and supplies a back run detecting signal to a driver 13. A driver 13 makes the N type transistor 12 which passes a back run current turn off, when the back run of Current  $I_o$  is detected.

[0029] The light load judging signal LL can be generated when the value  $V_{rd}$  according to the current  $I_o$  which flows to a smoothing choke  $L_o$ , i.e., a detection electrical potential difference, for example, the average-value \*\*, is below predetermined level. Moreover, when the back run of Current  $I_o$  is detected by the comparator CP 2, it may detect that the back run signal carried out count generating of predetermined, and the light load judging signal LL may be generated. Furthermore, since the output of the gm amplifier 16 shows Current  $I_o$  mostly, when the value according to the output, for example, gm output voltage  $V_{gm}$ \*\*, is below predetermined level, it can also generate the light load judging signal LL. Even if it adopts which approach, the light load judging signal LL can be formed easily.

[0030] Now, the timing chart of drawing 4 is also referred to and the time of the normal operation in which the light load judging signal LL is not probably generated in actuation of the switching power supply equipment of this drawing 1 is explained.

[0031] the set signal S -- drawing 4 (a) -- the output of Flip-flop FF, i.e., pulse signal Q, -- this drawing (b) -- the gm output voltage Vgm and the detection electrical potential difference Vrd are shown in this drawing (d), and the output of a comparator CP 1, i.e., reset-signal R, is shown for the delay pulse signal Qd in this drawing (c) in this drawing (e), respectively.

[0032] The set signal S falls to every fixed period T. Since Flip-flop FF is constituted by the falling trigger mold, pulse signal Q is set to H level a condition [ reset-signal R being in H level ] in falling (it expresses as the drawing Nakaya mark) of the set signal S.

[0033] If pulse signal Q is set to H level, since ON and the N type transistor 12 turn [ the N type transistor 11 ] off, Current Io will begin an increment through a driver 13. Since the detection electrical potential difference Vrd is proportional to Current Io, it changes like it.

[0034] While the gm output voltage Vgm is larger than the detection electrical potential difference Vrd, pulse signal Q is in H level. If the detection electrical potential difference Vrd increases and the gm output voltage Vgm is reached, it will be reversed and the output of a comparator CP 1, i.e., reset-signal R, will be set to L level.

[0035] Flip-flop FF is reset by falling of reset-signal R, and pulse signal Q is set to L level. In this case, since the light load judging signal LL is not generated and pulse signal Q becomes a command signal to a driver 13, OFF and the N type transistor 12 turn [ the N type transistor 11 ] on. Thereby, Current Io begins reduction.

[0036] Such control is repeated by every [ of the set signal S ] period T, and pulse signal Q of width of face according to the magnitude of a load is generated.

[0037] Next, the timing chart of drawing 5 is also referred to and explained about the time of the light load actuation in which the light load judging signal LL is generated.

[0038] the set signal S -- drawing 5 (a) -- pulse signal Q -- this drawing (b) -- the gm output voltage Vgm and the detection electrical potential difference Vrd are

shown in this drawing (d), and reset-signal R is shown for the delay pulse signal Qd in this drawing (c) in this drawing (e), respectively.

[0039] The set signal S falls to every fixed period T too. Pulse signal Q is set to H level a condition [ reset-signal R being in H level ] in the falling t1 of the set signal S.

[0040] If pulse signal Q is set to H level, since ON and the N type transistor 12 turn [ the N type transistor 11 ] off, Current Io, therefore the detection electrical potential difference Vrd will begin an increment through a driver 13.

[0041] While the gm output voltage Vgm is larger than the detection electrical potential difference Vrd, reset-signal R is in H level. the detection electrical potential difference Vrd -- increasing -- the gm output voltage Vgm -- reaching (event t2) -- it is reversed and the output of a comparator CP 1, i.e., reset-signal R, is set to L level.

[0042] Flip-flop FF is reset by falling of reset-signal R, and pulse signal Q is set to L level.

[0043] However, in this case, since the light load judging signal LL is generated, the delay pulse signal Qd turns into a command signal to a driver 13. therefore, the event t -- even if it passes over 2, while the delay pulse signal Qd is in H level, the condition that the N type transistor 11 is [ ON and the N type transistor 12 ] off continues. For this reason, the detection electrical potential difference Vrd continues increasing.

[0044] Event t -- if the delay pulse signal Qd is set very much to L level 3, since OFF and the N type transistor 12 turn [ the N type transistor 11 ] on, the detection electrical potential difference Vrd will begin reduction. While the gm output voltage Vgm is smaller than the detection electrical potential difference Vrd, reset-signal R is in L level.

[0045] The event of the set signal S of the following period falling, by t4, since the time delay Td is set up by reset-signal R as it is in L level, Flip-flop FF is not set even if the set signal S comes, and a reset condition still continues it.

[0046] Current Io -- decreasing -- the detection electrical potential difference Vrd -

- the gm output voltage  $V_{gm}$  -- being less (event t5) -- reset-signal R returns to H level.

[0047] this condition -- it is -- the set signal S of the further following period -- falling (event t6) -- at this event, by t6, since reset-signal R is in H level, pulse signal Q is set to H level. next -- an event -- the t1- event t -- control same with having explained by 6 is performed repeatedly.

[0048] Thus, the switching frequency of the switching circuit which consists of N type transistors 11 and 12 can be mostly reduced to the low frequency of homogeneity by extending the pulse width of the command signal supplied to a driver 13 at the time of a light load. Therefore, the loss at the time of a light load can decrease, and effectiveness can be improved. Moreover, the ripple of output voltage can also be reduced from the conventional thing, without generating a burst noise. Furthermore, a delay circuit 18 can be added to conventional equipment, and the switching frequency at the time of a light load can be automatically changed into a low frequency only by performing the usually same control as the time of a load. Therefore, since parameter input with new each part of equipment etc. is unnecessary because of the control at the time of a light load, it can constitute easily.

[0049] Although the example switched every other period of the set signal S explained in the timing chart of drawing 5, it can switch every period with a periods [ not only this but / or more ] of two. For that purpose, what is necessary is just to only adjust the amount Td of amplification of the pulse width in a delay circuit 18, i.e., a time delay.

[0050] Moreover, since a driver 13 makes the transistor 12 by the side of the gland which passes a back run current turn off by the back run detecting signal, it can prevent the time of no-load, and the useless discharge current at the time of a light load extremely.

[0051] Drawing 6 is drawing showing other examples of a configuration of a delay circuit 18. The NPN mold bipolar transistor (following and N type Bi transistor) 52 and resistance 53 are connected to a serial between the collector of the PNP

mold bipolar transistor (following and P type Bi transistor) 54, and a gland. And the gm output voltage  $V_{gm}$ , resistance 53, and the electrical potential difference of the node of the emitter of the N type Bi transistor 52 are inputted into the noninverting input and reversal input of a buffer 51 which consist of operational amplifiers, respectively. The output of this buffer 51 is supplied to the base of the N type Bi transistor 52. Moreover, it is in-series to the P type Bi transistor 55 connected with the P type Bi transistor 54 at a current mirror configuration, and a capacitor 56 is connected to it between glands. The N type Bi transistor 57 is connected to this capacitor 56 at juxtaposition, and it drives by pulse signal Q.

[0052] If pulse signal Q is set to L level, a capacitor 56 will start charge and the threshold judging of the charge electrical potential difference of a capacitor 56 will be carried out with an inverter 58. The output of this inverter 58 and the AND of the light load judging signal LL are taken in AND circuit 59, and further, the OR of the output of this AND circuit 26 and pulse signal Q is taken by OR circuit 27, and serves as a command signal to a driver 13.

[0053] In the delay circuit 18 of drawing 6, if the resistance of resistance 53 is set to R, the current  $I_c$  of  $V_{gm}/R$  will flow for this resistance 53, and the current of the value proportional to the same value or this same will turn into the charging current  $I_c$  of a capacitor 56. Since the gm output voltage  $V_{gm}$  has a relation mostly proportional to Current  $I_o$ , time amount until the charge electrical potential difference of a capacitor 56 reaches the threshold of an inverter 58 is proportional to Current  $I_o$ . Therefore, since Current  $I_o$  and the time delay have relation of reverse proportion, the time amount  $T_d$  delayed in this delay circuit 18 becomes long as Current  $I_o$  becomes small.

[0054] The loss in switching power supply is decided by the switching loss mainly decided by the switching frequency, and ohm loss by the output current and the resistance component. Therefore, if the component part of a power unit is decided, an efficient switching frequency will be determined to the output current.

[0055] In the delay circuit 18 of this drawing 6, a switching frequency can be brought close to a more desirable frequency by making a time delay  $T_d$  inversely



proportional to Current  $I_o$  according to the output current using the output of the gm amplifier 16.

[0056] Drawing 7 is drawing showing the gm amplifier 16 and the concrete example of a circuit of a comparator CP 1. In this drawing 7, as shown in drawing, since the gm amplifier 16 generates the output according to the difference of output voltage  $V_o$  and reference voltage  $V_{ref}$ , a current source 61, the P type Bi transistor 63 with which reference voltage  $V_{ref}$  is impressed to the base, and the P type Bi transistor 62 with which output voltage  $V_o$  is impressed to the base are connected to differential. Moreover, the N type Bi transistors 64, 65, 68, and 69, the P type Bi transistors 66, 67, 71, and 72, an operational amplifier 70, resistance 73, and a current source 74 are connected as shown in drawing.

[0057] With the gm amplifier 16 of this configuration, the current according to the difference of reference voltage  $V_{ref}$  and output voltage  $V_o$  is formed. This current is inputted into the comparator CP 1 of the next step.

[0058] Moreover, the detection electrical potential difference  $V_{rd}$  is inputted into a comparison, the offset according to the output current of the gm amplifier 16 is supplied, and a comparator CP 1 outputs the comparison result. For this reason, the resistance 81 for offset, constant current sources 91, 92, 93, and 94, the P type Bi transistors 82, 83, 84, and 88, the N type Bi transistors 85, 86, and 89, and an inverter 90 are connected as shown in drawing.

[0059] The detection electrical potential difference  $V_{rd}$  proportional to the gm output voltage  $V_{gm}$  generated by resistance 81 by the comparator CP 1 of this configuration and Current  $I_o$  is compared. When the gm output voltage  $V_{gm}$  is larger than the detection electrical potential difference  $V_{rd}$ , reset-signal R of H level is outputted.

[0060] In addition, as long as it is the latch circuit of reset precedence, you may make it operate on L level, although it was explained by the above explanation that Flip-flop FF operated by the falling edge.

[0061]

[Effect of the Invention] According to the switching power supply equipment of this invention, since the switching frequency at the time of a light load is controlled by the almost uniform low frequency, the loss at the time of a light load can decrease, and effectiveness can be improved. Moreover, a burst noise is almost lost and can reduce the ripple of output voltage from the conventional thing.

[0062] Moreover, since the transistor switch by the side of the gland which passes a back run current by the back run detecting signal is made to turn off, the time of no-load and the useless discharge current at the time of a light load can be prevented extremely. Therefore, power loss can be further reduced by preventing this discharge current.

[0063] Moreover, the switching frequency at the time of a light load can be automatically changed into a low frequency only by performing the usually same control as the time of a load by adding the delay section for expanding the time amount width of face of a pulse signal to conventional equipment. Therefore, since the parameter input of each part of equipment etc. is unnecessary because of the control at the time of a light load, it can constitute easily.

[0064] Moreover, since the judgment of a light load condition is performed based on the current which is used for original armature-voltage control and which flows to a smoothing choke, and the output of mutual-conductance amplifier, it can also perform the judgment of a light load condition easily.

[0065] Moreover, since amplification of the time amount width of face of the pulse signal in the delay section is made into fixed time amount, the configuration is simple. Moreover, since amplification of the time amount width of face is set as the current which flows to the output and smoothing choke of a mutual-conductance amplifier under inverse proportion, a switching frequency is appropriately determined according to a light load condition.

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The whole switching power supply equipment block diagram concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] The block diagram of a delay circuit 18.

[Drawing 3] The timing chart of a delay circuit 18.

[Drawing 4] The timing chart at the time of the usual load of the switching power supply equipment of drawing 1 .

[Drawing 5] The timing chart at the time of the light load of the switching power supply equipment of drawing 1 .

[Drawing 6] Drawing showing other examples of a configuration of a delay circuit 18.

[Drawing 7] Drawing showing the gm amplifier 16 and the concrete example of a circuit of a comparator CP 1.

[Description of Notations]

11 12 N type transistor

13 Driver

14 Load

15 Resistance

16 Gm Amplifier

17 Source of Gm Amplifier Output  
18 Delay Circuit  
Lo Smoothing choke  
Co Output capacitor  
CP1, CP2 Comparator  
FF Flip-flop  
Vin Input voltage  
Io Output current  
Vo Output voltage  
Vgm gm output voltage  
Vrd Detection electrical potential difference  
S Set signal  
R Reset signal  
Q Pulse signal  
Qd Delay pulse signal  
LL Light load judging signal

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

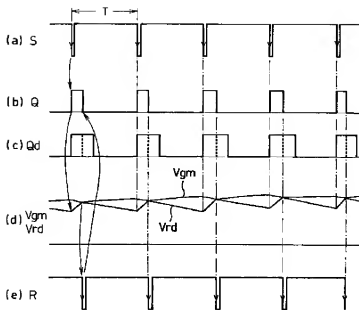
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

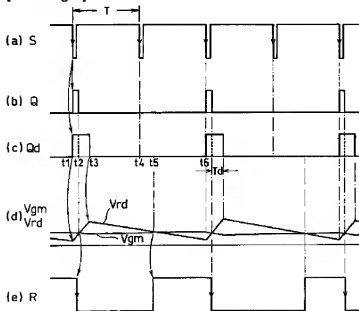
DRAWINGS

---

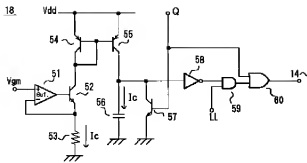




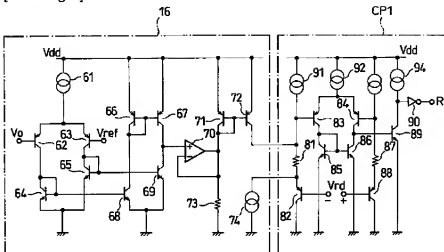
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(51) Int.Cl.<sup>7</sup>

識別番号

F I

サーチコード<sup>\*</sup> (参考)

H 0 2 M 3/155

H 0 2 M 3/155

H 5 H 7 3 0

審査請求 有 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願2002-122534(P2002-122534)

(71) 出願人 000116024

(22) 出願日 平成14年4月24日 (2002.4.24)

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 梅本 清茂

京都市右京区西院清崎町21番地 ローム株式会社社内

(72) 発明者 竹村 興

京都市右京区西院清崎町21番地 ローム株式会社社内

(74) 代理人 100083231

弁理士 紋田 誠 (外1名)

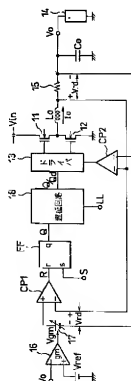
最終頁に続く

## (54) 【発明の名称】 スイッチング電源装置

## (57) 【要約】

【課題】 軽負荷時のスイッチング周波数を、バースト状に不連続になることがなく、ほぼ一定である低い周波数に制御することにより、軽負荷時の損失を低減して効率を改善すること。

【解決手段】 出力電圧 $V_o$ と基準電圧 $V_{ref}$ との差に応じた値、及び平滑コイルに流れる電流 $I_o$ に応じた値に基づいたデューティ比のパルス信号 $Q$ を発生するカルントモード制御のスイッチング電源装置において、このパルス信号 $Q$ と軽負荷判定信号 $LH$ を受けて、軽負荷時でないときにはそのパルス信号 $Q$ を指令信号として出力し、軽負荷時にはパルス信号の時間幅を広げた遅延パルス信号 $Q_d$ を指令信号として出力する遅延回路18を備える。





## 【特許請求の範囲】

【請求項1】 入力電圧を指令信号に応じてスイッチングするスイッチ回路部と、このスイッチ回路部のスイッチング出力を平滑するための平滑コイルと、この平滑コイルの出力側に設けられ、出力電圧に充電される出力コンデンサと、前記出力電圧に応じた帰還電圧と基準電圧との差に応じた値に基づいたデューティ比のパルス信号を発生するパルス発生部と、このパルス発生部のパルス信号と軽負荷判定信号を受けて、軽負荷時でないときには前記パルス信号を前記指令信号として出力し、軽負荷時には前記パルス信号の時間幅を広げてから前記指令信号として出力する遅延部とを備えていることを特徴とするスイッチング電源装置。

【請求項2】 前記パルス発生部は、前記出力電圧に応じた帰還電圧と基準電圧との差に応じた値に加えて、前記平滑コイルに流れる電流に応じた値をも用い、これらの値に基づいたデューティ比のパルス信号を発生することを特徴とする、請求項1記載のスイッチング電源装置。

【請求項3】 前記スイッチ回路部は、前記指令信号にしたがって駆動される直列接続されたトランジスタスイッチを有し、その直列接続点から前記スイッチング出力が出力されるものであり、前記遅延部と前記スイッチ回路部との間に設けられ、前記遅延部から出力される前記指令信号に基づいて、直列接続された前記トランジスタスイッチを駆動するドライバ部と、前記平滑コイルに流れる電流の極性を判別し、逆流検出信号を前記ドライバ部に供給する比較器とを備え、前記逆流検出信号により前記トランジスタスイッチのうちの逆流電流を流すトランジスタスイッチをオフさせることを特徴とする、請求項2、3記載のスイッチング電源装置。

【請求項4】 前記パルス発生部は、前記出力電圧に応じた帰還電圧と前記基準電圧とが入力され、その2入力間の差を増幅する相互コンダクタンス増幅器と、この相互コンダクタンス増幅器の出力に応じた電圧と前記平滑コイルに流れる電流に応じた電圧とを比較する比較器と、一定周期のセット信号と前記比較器の出力とが入力され、前記比較器出力が所定状態にある時のセット信号でセットされ、比較器出力が前記所定状態から他の状態への変化でリセットされ、前記パルス信号を発生するフリップフロップとを有することを特徴とする、請求項2、3記載のスイッチング電源装置。

【請求項5】 前記軽負荷判定信号は、前記平滑コイルに流れる電流に応じた値に基づいて発生されることを特徴とする、請求項1～4記載のスイッチング電源装置。

【請求項6】 前記軽負荷判定信号は、前記相互コンダクタンス増幅器の出力に応じた値に基づいて発生されることを特徴とする、請求項4記載のスイッチング電源装置。

【請求項7】 前記遅延部での前記パルス信号の時間幅の拡大は、一定時間であることを特徴とする、請求項1～6記載のスイッチング電源装置。

【請求項8】 前記遅延部での前記パルス信号の時間幅の拡大は、前記相互コンダクタンス増幅器の出力に応じた値に逆比例して設定されることを特徴とする、請求項4～6記載のスイッチング電源装置。

【請求項9】 入力電圧を指令信号に応じてスイッチングするスイッチ回路部と、このスイッチ回路部のスイッチング出力を平滑するための平滑コイルと、この平滑コイルの出力側に設けられ、出力電圧に充電される出力コンデンサとを有し、前記スイッチ回路部を第1の周期のパルス信号で制御することにより所定の出力電圧を出力するスイッチング電源装置であって、軽負荷時には、前記第1の周期のパルス信号の一部を間引いた第2の周期のパルス信号を用いて前記スイッチ回路部を制御するようにしたことを特徴とするスイッチング電源装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、軽負荷時の損失を低減して効率を改善するスイッチング電源装置に関する。

## 【0002】

【従来の技術】スイッチング電源装置は、負荷に直列または並列に接続されたスイッチ（例えば、パワートランジスタ）を用い、負荷への電力の流れを制御するためにスイッチのターンオンおよびターンオフを制御し、スイッチングする。スイッチング制御された電流を安定負荷電流に変換するために、平滑コイル及び出力用コンデンサを用いている。

【0003】負荷への電力の流れを制御するスイッチのデューティサイクルは、例えば、パルス周波数を固定し、各パルスのオンまたはオフ時間を変化させることにより変化させる。

【0004】スイッチング電源装置は、一般に、シリーズ電源装置よりもより効率的である。しかし、効率は、一般に、出力電流の関数であり、通常、軽負荷を駆動する場合、即ち、低出力電流で減少する。この効率低下は、一般に、スイッチング電源装置の動作に伴うスイッチング損失などに起因している。

【0005】そこで、従来から、スイッチング電源装置の軽負荷時の損失を低減するために、バーストモード制御やスキップモード制御が行われている。

【0006】バーストモード制御は、例えば特開平06-303766号公報に示されているように、出力電流が十分に低いことを検出し、出力コンデンサの電圧が、実質的に制御された出力電圧を維持できる期間に亘って、スイッチをオフ状態に維持する。即ち、スイッチをオン・オフ制御する期間と、オフ状態の期間とは、バース

ト状になる。このオフ状態の期間はスイッチング損失が発生しないから、効率が改善される。

【0007】また、スキップモード制御は、出力電圧に所定電圧幅のウィンドコンパレータをかけて、その電圧下限から電圧上限に向けて、固定デューティのパルスをオン・オフし、電圧上限から下限に向けては出力電圧が低下するに任せる。この電圧上限から下限の間はスイッチング損失が発生しないから、効率が改善される。

【0008】

【発明が解決しようとする課題】しかし、これら従来のバーストモード制御を行うスイッチング電源装置では、スイッチング周波数が不連続になるため、バーストノイズが発生してしまう。このバーストノイズは、周辺の電子機器に悪影響を与えたり、相互干渉を発生する等の問題がある。

【0009】また、スキップモード制御を行うスイッチング電源装置では、やはりスイッチング周波数が電圧下限から上限への間のみスイッチングされるから、バースト状になる。また、この他、出力電圧が変動するから、そのリップル電圧がおおきくなる。この出力電圧の大きいリップルは、負荷にとって好ましくない。

【0010】そこで、本発明は、軽負荷時のスイッチング周波数を、ほぼ一定である低い周波数に制御することにより、バースト状に不連続になることがなく、またリップル電圧を大きくすることなく、軽負荷時の損失を低減して効率を改善するスイッチング電源装置を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1のスイッチング電源装置は、入力電圧を指令信号に応じてスイッチングするスイッチ回路部と、このスイッチ回路部のスイッチング出力を平滑するための平滑コイルと、この平滑コイルの出力側に設けられ、出力電圧に充電される出力コンデンサと、前記出力電圧に応じた帰還電圧と基準電圧との差に応じた値に基づいたデューティ比のパルス信号を発生するパルス発生部と、このパルス発生部のパルス信号と軽負荷判定信号を受けて、軽負荷時でないときは前記パルス信号を前記指令信号として出力し、軽負荷時には前記パルス信号の時間幅を広げてから前記指令信号として出力する遅延部とを備えていることを特徴とする。

【0012】請求項2のスイッチング電源装置は、請求項1記載のスイッチング電源装置において、前記パルス発生部は、前記出力電圧に応じた帰還電圧と基準電圧との差に応じた値に加えて、前記平滑コイルに流れる電流に応じた値をもい、これらの値に基づいたデューティ比のパルス信号を発生することを特徴とする。

【0013】請求項3のスイッチング電源装置は、請求項1、2記載のスイッチング電源装置において、前記スイッチ回路部は、前記指令信号にしたがって駆動される

直列接続されたトランジスタスイッチを有し、その直列接続点から前記スイッチング出力が出力されるものであり、さらに前記遅延部と前記スイッチ回路部との間に設けられ、前記遅延部から出力される前記指令信号に基づいて、直列接続された前記トランジスタスイッチを駆動するドライバ部と、前記平滑コイルに流れる電流の極性を判別し、逆流検出信号を前記ドライバ部に供給する比較器とを備え、前記逆流検出信号により前記トランジスタスイッチのうちの逆流電流を流すトランジスタスイッチをオフさせることを特徴とする。

【0014】請求項4のスイッチング電源装置は、請求項2、3記載のスイッチング電源装置において、前記パルス発生部は、前記出力電圧に応じた帰還電圧と前記基準電圧とが入力され、その2入力の差を増幅する相互コンダクタンス増幅器と、この相互コンダクタンス増幅器の出力に応じた電圧と前記平滑コイルに流れる電流に応じた電圧とを比較する比較器と、一定周期のセット信号と前記比較器の出力とが入力され、前記比較器出力が所定状態にある時のセット信号でセットされ、比較器出力が前記所定状態から他の状態への変化でリセットされ、前記パルス信号を発生するフリップフロップとを有することを特徴とする。

【0015】請求項5のスイッチング電源装置は、請求項1〜4記載のスイッチング電源装置において、前記軽負荷判定信号は、前記平滑コイルに流れる電流に応じた値に基づいて発生されることを特徴とする。

【0016】請求項6のスイッチング電源装置は、請求項4記載のスイッチング電源装置において、前記軽負荷判定信号は、前記相互コンダクタンス増幅器の出力に応じた値に基づいて発生されることを特徴とする。

【0017】請求項7のスイッチング電源装置は、請求項1〜6記載のスイッチング電源装置において、前記遅延部での前記パルス信号の時間幅の拡大は、一定時間であることを特徴とする。

【0018】請求項8のスイッチング電源装置は、請求項1〜6記載のスイッチング電源装置において、前記遅延部での前記パルス信号の時間幅の拡大は、前記相互コンダクタンス増幅器の出力に応じた値に逆比例して設定されることを特徴とする。

【0019】請求項9のスイッチング電源装置は、入力電圧を指令信号に応じてスイッチングするスイッチ回路部と、このスイッチ回路部のスイッチング出力を平滑するための平滑コイルと、この平滑コイルの出力側に設けられ、出力電圧に充電される出力コンデンサとを有し、前記スイッチ回路部を第1の周期のパルス信号で制御することにより所定の出力電圧を出力するスイッチング電源装置であって、軽負荷時には、前記第1の周期のパルス信号の一部を間引いた第2の周期のパルス信号を用いて前記スイッチ回路部を制御するようにしたことを特徴とする。

【0020】

【発明の実施の形態】以下、図面を参照して、本発明のスイッチング電源装置の実施の形態について説明する。

【0021】図1は、本発明の第1の実施の形態に係るスイッチング電源装置の全体構成図である。また、図2は、遅延回路18の構成図であり、図3はその動作説明用のタイミングチャートである。また、図4及び図5は、図1のスイッチング電源装置の動作を説明するためのタイミングチャートである。

【0022】図1において、この電源装置はカレントモード制御のスイッチング電源装置として構成されている。入力電圧 $V_{in}$ の電源とグランドとの間にN型MOSトランジスタ（以下、N型トランジスタ）11とN型トランジスタ12とが直列に接続されてスイッチ回路が構成されている。このスイッチ回路にドライバ13から駆動パルスが供給され、N型トランジスタ11、12が通常は相補的にオン・オフされる。平滑コイル $L_o$ は、スイッチ回路の出力を平滑し、出力コンデンサ $C_o$ は平滑コイル $L_o$ とともに平滑作用を行う。出力コンデンサ $C_o$ には、入力電圧 $V_{in}$ が駆動パルスの幅に応じて降圧された出力電圧 $V_o$ に充電される。この出力電圧 $V_o$ が負荷14に給電される。抵抗15は平滑コイル $L_o$ に流れる電流 $I_o$ を検出するもので、その電流に応じた電圧降下を検出電圧 $V_{rd}$ として取り出す。

【0023】相互コンダクタンス増幅器（以下、gmアンプ）16は、出力電圧 $V_o$ と基準電圧 $V_{ref}$ とが入力され、その差に応じた電流を発生する。gmアンプ出力源17は、gmアンプ16の出力電流に応じたgm出力電圧 $V_{gm}$ を発生する。比較器CP1は、gm出力電圧 $V_{gm}$ と検出電圧 $V_{rd}$ とを比較し、その比較出力を発生する。

【0024】フリップフロップFFは、一定周期のセット信号Sがセット端子sに入力され、比較器CP1の比較出力がリセット信号Rとしてリセット端子rに入力される。このフリップフロップFFでは、リセットはリセット信号Rの立ち下がりで行われ、セットはセット信号Sの立ち上がりでかつリセット信号Rが立ち上りしているときに行われる。そのセット及びリセットに対応して、出力Qがパルス信号として出力される。

【0025】遅延回路18は、フリップフロップFFからのパルス信号Qが入力され、軽負荷判定信号 $L_L$ の有無にしたがって、パルス信号Qをそのままの幅で出力するか、或いは所定時間だけ遅延させて幅を拡大した遅延パルス信号Qdを出力する。軽負荷である場合には遅延パルス信号Qdを出力し、そうでない場合にはそのままのパルス信号Qを出力する。この遅延回路18の出力がドライバ13への指令信号となる。

【0026】この遅延回路18の一例が、図2の構成例及び、図3のタイミングチャートに示されている。図2で、P型トランジスタ21、抵抗23、N型トランジスタ

22は直列接続されている。このN型トランジスタ22に並列にコンデンサ24が接続され、このコンデンサ24の充電電圧がインバータ25の入力閾値 $V_{th}$ で閾値判定される。このインバータ25の出力と軽負荷判定信号 $L_L$ の論理積がアンド回路26でとられ、さらにこのアンド回路26の出力とパルス信号Qとの論理和がオア回路27でとられて、ドライバ13への指令信号となる。

【0027】パルス信号QがP型MOSトランジスタ（以下、P型トランジスタ）21及びN型トランジスタ22のゲートに印加される。このパルス信号QがHレベルからLレベルになると、コンデンサ24は電源電圧 $V_d$ により充電される。その充電電圧は、図3のように、抵抗23とコンデンサ24の値に応じた定数で上昇する。その充電電圧がインバータ25の入力閾値 $V_{th}$ に達した時点で、インバータ25は反転する。これにより、パルス信号Qを遅延させて、その幅を時間Tdだけ拡大した遅延パルス信号Qdがインバータ25の出力に得られる。したがって、軽負荷判定信号 $L_L$ の有無に応じて、パルス信号Qまたは遅延パルス信号Qdのどちらかが出力される。

【0028】また、図1に戻って、比較器CP2は、平滑コイル $L_o$ に流れる電流 $I_o$ に比例した検出電圧 $V_{rd}$ が入力され、電流 $I_o$ の極性（即ち、電流方向）を判別し、逆流検出信号をドライバ13に供給する。ドライバ13は、電流 $I_o$ の逆流が検出された場合には、逆流電流を流すN型トランジスタ12をオンさせる。

【0029】軽負荷判定信号 $L_L$ は、平滑コイル $L_o$ に流れる電流 $I_o$ に応じた値、即ち検出電圧 $V_{rd}$ 、例えばその平均値、が所定レベル以下の時に発生させることができる。また、比較器CP2で電流 $I_o$ の逆流が検出された時、例えば逆流信号が所定回数発生したことを検出して、軽負荷判定信号 $L_L$ を発生させても良い。さらに、gmアンプ16の出力はほぼ電流 $I_o$ を示すから、その出力に応じた値、例えばgm出力電圧 $V_{gm}$ 、が所定レベル以下の時に軽負荷判定信号 $L_L$ を発生させることもできる。いずれの方法を採用しても、軽負荷判定信号 $L_L$ を容易に形成することができる。

【0030】さて、この図1のスイッチング電源装置の動作を、まず、軽負荷判定信号 $L_L$ が発生していない通常動作時について、図4のタイミングチャートも参照して説明する。

【0031】セット信号Sが図4（a）に、フリップフロップFFの出力即ちパルス信号Qが同図（b）に、遅延パルス信号Qdが同図（c）に、gm出力電圧 $V_{gm}$ 及び検出電圧 $V_{rd}$ が同図（d）に、比較器CP1の出力即ちリセット信号Rが同図（e）に、それぞれ示されている。

【0032】セット信号Sが一定周期Td毎に立ち下がる。フリップフロップFFは立ち下がりがトリガ型に構成

されているので、セット信号Sの立ち下がり(図中矢印で表示)でリセット信号RがHレベルにあることを条件としてパルス信号QがHレベルになる。

【0033】パルス信号QがHレベルになると、ドライバ13を介して、N型トランジスタ11がオン、N型トランジスタ12がオフするから電流I<sub>o</sub>は増加を始める。検出電圧V<sub>rd</sub>は電流I<sub>o</sub>に比例するから、それと同様に増加する。

【0034】g<sub>m</sub>出力電圧V<sub>gm</sub>が検出電圧V<sub>rd</sub>より大きい間は、パルス信号QはHレベルにある。検出電圧V<sub>rd</sub>が増加し、g<sub>m</sub>出力電圧V<sub>gm</sub>に達すると、比較器CP1の出力即ちリセット信号Rは反転し、Lレベルになる。

【0035】リセット信号Rの立ち下がりによりフリップフロップFFはリセットされ、パルス信号QはLレベルになる。この場合には、軽負荷判定信号L<sub>1</sub>が発生されていないので、パルス信号Qがドライバ13への指令信号になるから、N型トランジスタ11がオフ、N型トランジスタ12がオンする。これにより、電流I<sub>o</sub>は減少を始める。

【0036】このような制御が、セット信号Sの周期T毎に繰り返されて、負荷の大きさに応じた幅のパルス信号Qが発生される。

【0037】次に、軽負荷判定信号L<sub>1</sub>が発生されている軽負荷動作時について、図5のタイミングチャートも参照して説明する。

【0038】セット信号Sが図5(a)に、パルス信号Qが図(b)に、遅延パルス信号Q<sub>d</sub>が図(c)に、g<sub>m</sub>出力電圧V<sub>gm</sub>及び検出電圧V<sub>rd</sub>が図(d)に、リセット信号Rが図(e)に、それぞれ示されている。

【0039】セット信号Sがやはり一定周期T毎に立ち下がる。セット信号Sの立ち下がりも1でリセット信号RがHレベルにあることを条件としてパルス信号QがHレベルになる。

【0040】パルス信号QがHレベルになると、ドライバ13を介して、N型トランジスタ11がオン、N型トランジスタ12がオフするから電流I<sub>o</sub>、したがって検出電圧V<sub>rd</sub>は増加を始める。

【0041】g<sub>m</sub>出力電圧V<sub>gm</sub>が検出電圧V<sub>rd</sub>より大きい間は、リセット信号RはLレベルにある。検出電圧V<sub>rd</sub>が増加し、g<sub>m</sub>出力電圧V<sub>gm</sub>に達する(時点t2)と、比較器CP1の出力即ちリセット信号Rは反転し、Lレベルになる。

【0042】リセット信号Rの立ち下がりによりフリップフロップFFはリセットされ、パルス信号QはLレベルになる。

【0043】しかし、この場合には、軽負荷判定信号L<sub>1</sub>が発生されているので、遅延パルス信号Q<sub>d</sub>がドライバ13への指令信号になる。したがって、時点t2を過

ぎても遅延パルス信号Q<sub>d</sub>がHレベルにある間はN型トランジスタ11がオン、N型トランジスタ12がオフの状態が継続する。このため、検出電圧V<sub>rd</sub>は増加し続ける。

【0044】時点t3に至って、遅延パルス信号Q<sub>d</sub>がLレベルになると、N型トランジスタ11がオフ、N型トランジスタ12がオンするから検出電圧V<sub>rd</sub>は減少を始める。g<sub>m</sub>出力電圧V<sub>gm</sub>が検出電圧V<sub>rd</sub>より小さい間は、リセット信号RはLレベルにある。

【0045】次の周期のセット信号Sが立ち下がった時点t4では、まだリセット信号RはLレベルにあるように遅延時間T<sub>d</sub>が設定されているから、フリップフロップFFはセット信号Sが来てもセットされることはなく、依然としてリセット状態が継続する。

【0046】電流I<sub>o</sub>が減少して、検出電圧V<sub>rd</sub>がg<sub>m</sub>出力電圧V<sub>gm</sub>を下回る(時点t5)と、リセット信号RがHレベルに復帰する。

【0047】この状態で、さらに次の周期のセット信号Sが立ち下がる(時点t6)と、この時点t6ではリセット信号RがHレベルにあるから、パルス信号QがHレベルになる。この後は、時点t1~時点t6で説明したことと同様の制御が繰り返して行われる。

【0048】このように、軽負荷時に、ドライバ13に供給される指令信号のパルス幅を広げることに、N型トランジスタ11、12で構成されるスイッチ回路のスイッチング周波数をほぼ均一の低周波数に低下させることができる。したがって、軽負荷時の損失が低減し、効率を改善することができる。また、バーストノイズを発生することなく、従来のものより出力電圧のリップルも低減することができる。さらに、遅延回路18を従来の装置に付加し、通常負荷時と同様な制御を行うだけで、自動的に軽負荷時のスイッチング周波数を低い周波数に変更することができる。したがって、軽負荷時の制御のために、装置各部の新たな定数設定なども不要であるから、簡単に構成することができる。

【0049】図5のタイミングチャートでは、セット信号Sの1周期おきにスイッチングする例で説明したが、これに限らず2周期以上の周期おきにスイッチングするようにすることもできる。そのためには、単に遅延回路18でのパルス幅の拡大量、即ち遅延時間T<sub>d</sub>を調整すればよい。

【0050】また、ドライバ13は、逆流検出信号によって、逆流電流を流すグランド側のトランジスタ12をオフさせるから、無負荷時及び極めて軽負荷時の無駄な放電電流を阻止できる。

【0051】図6は、遅延回路18の他の構成例を示す図である。PNP型バイポーラトランジスタ(以下、P型B i トランジスタ)54のコレクタとグランドとの間に直列に、NPN型バイポーラトランジスタ(以下、N型B i トランジスタ)52と抵抗53とが接続される。

そして、gm出力電圧Vgmと抵抗53とN型B i トランジスタ2のエミッタの接続点の電圧とが、オペアンプで構成されるバッファ51の非反転入力と反転入力にそれぞれ入力される。このバッファ51の出力が、N型B i トランジスタ52のベースに供給される。また、P型B i トランジスタ54とカレントミラー構成に接続されるP型B i トランジスタ55に直列でグランドとの間にコンデンサ56が接続される。このコンデンサ56に並列に、N型B i トランジスタ57が接続され、パルス信号Qにより駆動される。

【0052】パルス信号QがLレベルになると、コンデンサ56は充電を開始し、コンデンサ56の充電電圧がインバータ58で閾値判定される。このインバータ58の出力と軽負荷判定信号L Lの論理積がアンド回路59でとられ、さらにこのアンド回路26の出力とパルス信号Qとの論理和がオア回路27でとられて、ドライバ13への指令信号となる。

【0053】図6の遅延回路18では、抵抗53の抵抗値をRとすると、この抵抗53にはVgm/Rの電流Icが流れ、同じ値またはこれに比例した値の電流がコンデンサ56の充電電流Icとなる。gm出力電圧Vgmは、電流Ioとほぼ比例する関係にあるから、コンデンサ56の充電電圧がインバータ58の閾値に達するまでの時間は電流Ioに比例する。したがって、電流Iと遅延時間とは反比例の関係になっているから、この遅延回路18で遅延される時間Tdは、電流Ioが小さくなるにつれて長くなる。

【0054】スイッチング電源における損失は、主にスイッチング周波数によって決まるスイッチング損失と、出力電流及び抵抗成分による抵抗損失で決まる。そのため、電源装置の構成部品が決まれば、出力電流に対して効率の良いスイッチング周波数が決定される。

【0055】この図6の遅延回路18では、gmアンプ16の出力を用いて、遅延時間Tdを電流Ioに逆比例させることにより、スイッチング周波数を出力電流に応じてより好ましい周波数に近づけることができる。

【0056】図7は、gmアンプ16及び比較器CP1の具体的な回路例を示す図である。この図7において、gmアンプ16は、出力電圧Voと基準電圧Vrefとの差に応じた出力を発生するために電源61と、基準電圧Vrefがベースに印加されるP型B i トランジスタ63と、出力電圧Voがベースに印加されるP型B i トランジスタ62とが図のように差動に接続される。また、N型B i トランジスタ64、65、68、69、P型B i トランジスタ66、67、71、72、オペアンプ70、抵抗73、電流源74が、図のように接続されている。

【0057】この構成のgmアンプ16により、基準電圧Vrefと出力電圧Voとの差に応じた電流が形成される。この電流が段段的比較器CP1に入力される。

【0058】また、比較器CP1は、検出電圧Vrdが比較用に入力され、gmアンプ16の出力電流に応じたオフセットが供給されて、その比較結果を出力する。このために、オフセット用の抵抗81、定電流源91、92、93、94、P型B i トランジスタ82、83、84、88、N型B i トランジスタ85、86、89、インバータ90が、図のように接続されている。

【0059】この構成の比較器CP1により、抵抗81に発生されるgm出力電圧Vgmと電流Ioに比例した検出電圧Vrdとが比較される。gm出力電圧Vgmが検出電圧Vrdより大きいときに、Hレベルのリセット信号Rが出力される。

【0060】なお、以上の説明では、フリップフロップFは、立ち下がりエッジで動作すると説明したが、リセット優先のラッチ回路であれば、Lレベルで動作するようにしても構わない。

【0061】

【発明の効果】本発明のスイッチング電源装置によれば、軽負荷時のスイッチング周波数が、ほぼ均一な低い周波数に制御されるから、軽負荷時の損失が低減し、効率を改善することができる。また、バーストノイズが殆ど無くなり、従来のものより出力電圧のリップルを低減することができる。

【0062】また、逆流検出信号により逆流電流を流すグラウンド側のトランジスタスイッチをオフさせるから、無負荷時及び極めて軽負荷時の無駄な放電電流を阻止できる。したがって、この放電電流を阻止することにより、電力損失をさらに低減することができる。

【0063】また、パルス信号の時間幅を拡大するための遅延部を従来の装置に付加することにより、通常負荷時と同様な制御を行うだけで自動的に軽負荷時のスイッチング周波数を低い周波数に変更することができる。したがって、軽負荷時の制御のために、装置各部の定数設定なども不要であるから、簡単に構成することができる。

【0064】また、軽負荷状態の判定は、本来の電圧制御に用いられる、平滑コイルに流れる電流や、相互コンダクタンス増幅器の出力に基づいて行われるから、軽負荷状態の判定も、簡単に行うことができる。

【0065】また、遅延部でのパルス信号の時間幅の拡大は、一定時間にするからその構成が簡易である。また、その時間幅の拡大を、相互コンダクタンス増幅器の出力や平滑コイルに流れる電流に逆比例して設定するから、スイッチング周波数が軽負荷状態に応じて適切に決定される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るスイッチング電源装置の全体構成図。

【図2】遅延回路18の構成図。

【図3】遅延回路18のタイミングチャート。

【図4】図1のスイッチング電源装置の通常負荷時のタイミングチャート。

【図5】図1のスイッチング電源装置の軽負荷時のタイミングチャート。

【図6】遅延回路18の他の構成例を示す図。

【図7】gmアンプ16及び比較器CP1の具体的な回路例を示す図。

【符号の説明】

## 11、12 N型トランジスタ

### 13 ドライバ

## 14 負荷

15 抵抗

16 gmアンプ

## 17 gmアンプ出力源

18 遲延回路

L. 平滑コイル

C. 出力コンデンサ

CP1、CP2 比較器

FF フリップ・フロップ

$V_{in}$  入力電圧

I o 出力電流

$V_o$  出力電圧

$V_{gm}$  gm出力電圧

V r d 検出電圧

S セット信号

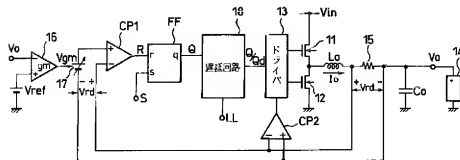
R リセット信号

Q パルス信号

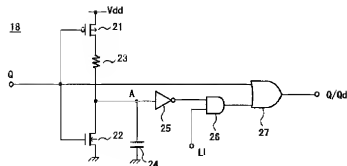
Q d 遅延パルス信号

LL 軽負荷判定信号

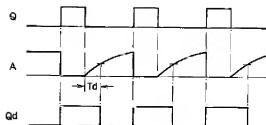
【図1】



【图2】

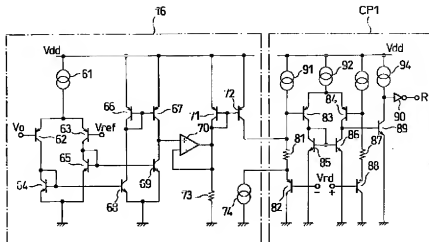


【图3】





【図7】



フロントページの続き

Fターム(参考) 5H730 AA14 AS01 BB13 BB57 D004

EE08 EE10 EE13 FD01 FD31

FG05 FG07 FG22 FG25